

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G02F 1/136

[12] 发明专利申请公开说明书

[21] 申请号 97191429.X

[43]公开日 1999年1月13日

[11]公开号 CN 1205087A

[22]申请日 97.10.16 [21]申请号 97191429.X

[30]优先权

[32]96.10.16 [33]JP [31]273810/96

[86]国际申请 PCT/JP97/03752 97.10.16

[87]国际公布 WO98/16868 日 90.4.23

[85]进入国家阶段日期 98.6.12

[71]申请人 精工爱普生株式会社

地址 日本东京都

[72]发明人 村出正夫

[74]专利代理机构 中国专利代理(香港)有限公司

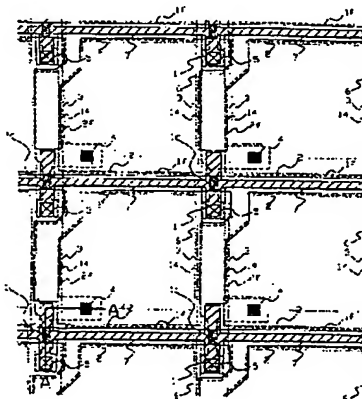
代理人 杨 凯 叶恺东

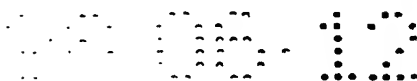
权利要求书 3 页 说明书 28 页 附图页数 19 页

[54]发明名称 液晶装置用的基板、液晶装置和投射型显示装置

[57]摘要

通过在驱动像素的 TFT 的至少沟道区(1c)的下方设置第 1 遮光膜(7)和在上方设置第 2 遮光膜(3)来防止来自上下方向的光对于沟道区(1c)的照射。此外,形成第 2 遮光膜(3)使其覆盖沟道区(1c)和第 1 遮光膜(7),使人射光不直接照射到第 1 遮光膜(7)表面。





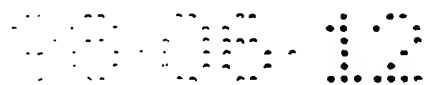
生由该台阶引起的 TFT 特性的恶化。通过将 TFT 作成 LDD 结构或偏移结构，可进一步减少 TFT 在关断时的漏泄电流。但是，上述构成的 TFT 作为 LDD 结构（或偏移结构）进行了说明，但不用说也可以是以栅电极 2 作为掩模、以自对准方式形成源·漏区的自对准结构。

- 5 此外，按照本实施例 1，将第 1 遮光膜 7 形成为从下方一侧覆盖半导体层 1 的源·漏区 1a、1b 与沟道区 1c 和 LDD 区（或偏移区）的接合部，而且将数据线（第 2 遮光膜）3 形成为从上方覆盖沟道区 1c 和 LDD 区（或偏移区）1d、1e。因而，相对于入射光从上部、相对于反射光从下部以双重方式对沟道区 1c 和 LDD 区（或偏移区）1d、1e 进行遮光。再者，相对于位于数据线（第 2 遮光膜）3 与像素开口区相接的部分或接近的部分，通过用数据线 3 覆盖第 1 遮光膜 7 的上方，使入射光不在第 1 遮光膜 7 的表面发生反射。

- 除了上述的方面以外，由于将设置在对置基板 31 一侧的黑色矩阵（第 3 遮光膜）6 形成为覆盖沟道区 1c 和 LDD 区（或偏移区）1d、1e 的上方，故在对于沟道区 1c 和 LDD 区（或偏移区）1d、1e 的遮光方面就更有效。而且，由于将所述黑色矩阵（第 3 遮光膜）6 形成为以宽的宽度覆盖第 1 遮光膜 7，故可更有效地防止入射光直接照射第 1 遮光膜 7。因而，在使用了本发明的液晶装置用的基板的液晶装置中，由于不会有入射光射到第 1 遮光膜 7 而反射、再照射沟道区 1c 和 LDD 区（或偏移区）1d、1e 的情况，故可尽可能地抑制 TFT 的因光引起的漏泄电流，可提供没有交扰等的图象质量恶化的高品位的图象质量。

（制造工艺）

- 其次，使用图 3 和图 4 说明本实施例的制造工艺。首先，在无碱玻璃及石英等基板 10 上用溅射法以 500~3000 埃的厚度、较为理想的是 1000~2000 埃的厚度形成了钨膜、钛膜、铬膜、钽膜和钼膜等导电性金属膜、或金属硅化物等的金属合金膜之后，通过使用光刻技术和刻蚀技术进行图形刻蚀形成第 1 遮光膜 7（图 3a）。将该第 1 遮光膜 7 形成为从下覆盖以后形成的 TFT 的沟道区 1c 和 LDD 区（或偏移区）1d、1e。再有，作为第 1 遮光膜 7 的材料，只要是吸收光的膜，也可以是有有机膜。此外，为了防止在第 1 遮光膜 7 的表面的反射，最好利用对该第 1 遮光膜 7 的表面进行氧化处理等形成凹凸，使入射光



散射。此外，也可通过在第 1 遮光膜 7 的上方形成多晶硅膜而作成 2 层结构，用多晶硅膜吸收入射光。

其次，在所述第 1 遮光膜 7 上以 1000~15000 埃的厚度、较为理想的是 5000~10000 埃的厚度形成第 1 层间绝缘膜 11（图 3b）。所述第 1 层间绝缘膜 11 对第 1 遮光膜 7 和以后形成的半导体层 1 进行绝缘；例如使用 CVD 法及 TEOS 气体等、用氧化硅膜或氮化硅膜等来形成。

在形成第 1 层间绝缘膜 11 后，一边将基板 10 加热到约 500℃ 的温度，一边以约 400~600cc/min 的流量供给单硅烷气体或双硅烷气体，在压力为 20~40Pa 下，在第 1 层间绝缘膜 11 上形成非晶硅膜。其后，在 N₂ 的气氛中，在约 600~700℃ 的温度下进行约 1~72 小时的退火处理，使其进行固相生长，形成多晶硅膜。其后，利用光刻工序、刻蚀工序等，形成 TFT 的半导体层 1（图 3c）。也可以利用减压 CVD 法等、以约 500~2000 埃的厚度、较为理想的是 1000 埃的厚度形成该多晶硅膜，也可在利用减压 CVD 法等淀积的多晶硅膜中注入硅离子使其一度非结晶化、通过退火等使其再结晶化而形成多晶硅膜。

其次，通过对所述半导体层 1 进行热氧化，在半导体层 1 上形成栅绝缘膜 12（图 3d）。利用该工序，使半导体层 1 的最终厚度为 300~1500 埃的厚度、较为理想的是 350~450 埃，栅绝缘膜 12 的厚度为约 600~1500 埃。再有，在使用 8 英寸的大型基板的情况下，为了防止由于热引起的基板的翘曲，也可以通过缩短热氧化时间，形成薄的热氧化膜，在该热氧化膜上用 CVD 法等淀积高温氧化硅膜（HTO 膜）及氮化硅膜，形成 2 层以上的栅绝缘膜结构。其次，在构成半导体层的的多晶硅层中，在沿数据线 3 向上方延伸设置、形成附加电容的区域（图 1 中的 1f）以约 $3 \times 10^{12}/\text{cm}^2$ 的剂量掺入例如磷的杂质，使该部分的半导体层低电阻化。从确保为形成半导体层 1 的附加电容所必须的导电性的观点出发，求出该剂量的下限，此外，从抑制栅绝缘膜 12 的恶化的观点出发，求出该剂量的上限。

其次，在半导体层 1 上通过栅绝缘膜 12 淀积成为栅电极和扫描线 2 的多晶硅膜，利用光刻工序和刻蚀工序等进行图形刻蚀（图 3e）。栅电极的材料可以是多晶硅膜，如果是具有遮光性的材料，例如钨膜、钛膜、铬膜、钽膜和钼膜等的导电性的金属膜、或金属硅化物等

2015-12

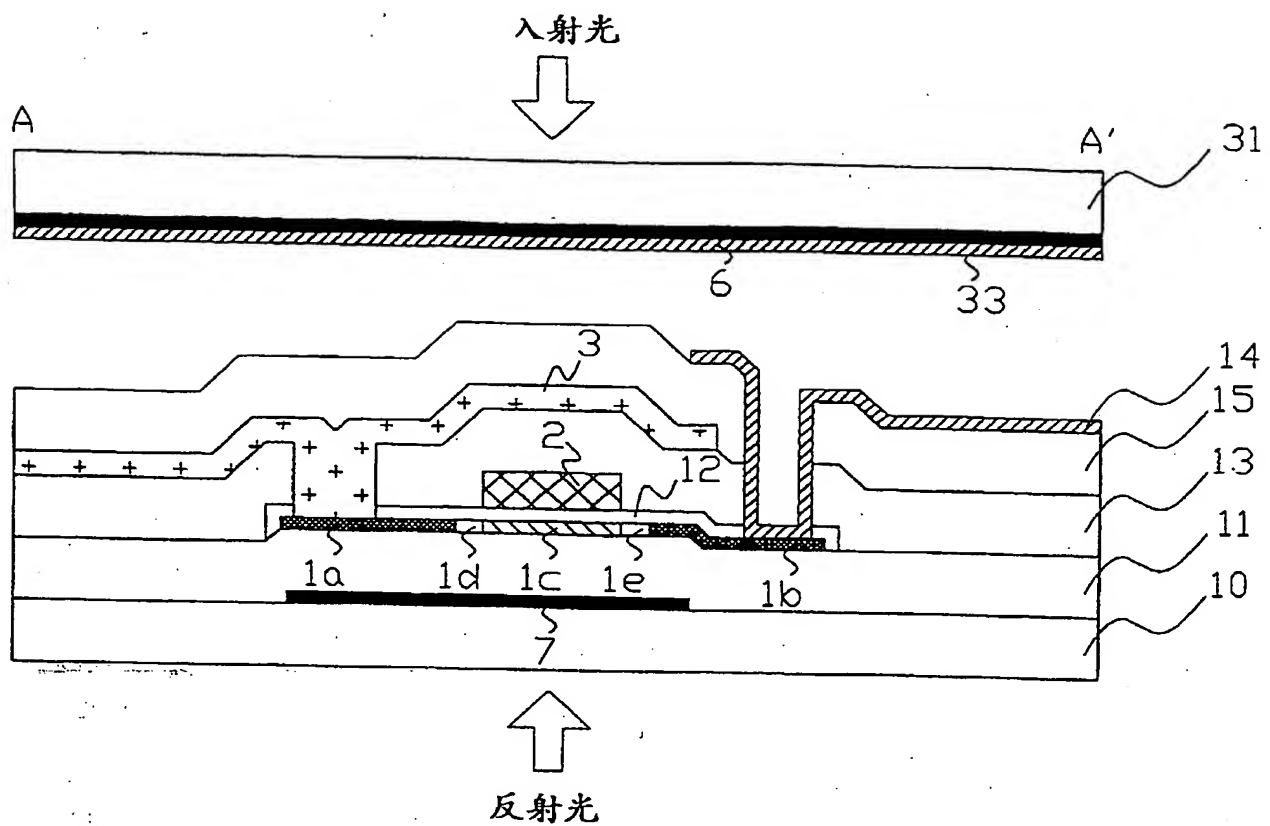


图 2